**Control Cambios**

* El resumen no es claro, incluye definición de abreviaciones que deberían estar en el cuerpo del documento.
* El resumen se modificó de la siguiente manera:

“En este artículo se presenta la configuración paramétrica de un codificador Reed Solomon, a través de lenguaje descriptor de hardware VHDL, orientado a aplicaciones de radio cognitivo. Se han considerado los dispositivos FPGA como tecnología de implementación, por sus características de reconfiguración del hardware que lo hacen flexible al ajuste de parámetros, a través de un módulo de selección diseñado en VHDL y una arquitectura modular, con concatenación de etapas y señales habilitadoras, lo que permite configurar a nivel de hardware el número de símbolos de información en los RS(*255,k*), codificadores ampliamente manejados en diversos protocolos de comunicación. En el diseño del codificador, se estableció un modelo basado en la arquitectura de sus componentes, se realizaron las simulaciones y la estimación del consumo de recursos, ofrecidos por la herramienta ISE 11 de Xilinx, con lo cual se validó el desempeño del codificador RS(*255,k*), obteniendo como aporte una alta eficiencia del diseño en cuanto a recursos de síntesis.” Con el propósito de expresar claramente la metodología y resultados obtenidos, las definiciones de abreviaturas fueron reubicadas en el cuerpo del documento.

* Se debe realizar un revisión del Abstract en cuanto su forma y traducción.
* En función de los cambios del resumen se reestructuró el abstract
* Se debe discutir las limitaciones del codificador propuesto.
* En cuanto a las limitaciones del codificador propuesto, se tiene que la presente versión no soporta el ajuste del polinomio irreducible empleado para el componente multiplicador y el número de bits por símbolo, sin embargo, el tratamiento empleado se puede extender a fin de obtener un codificador completamente adaptativo, lo que se anexo en el análisis de resultados.
* La presentación de los resultados es acorde al trabajo realizado, sin embargo el formato es inadecuado, frases repetitivas con frecuencia (sección 4), las graficas no son claras siempre y las tablas no aportan información valiosa cuando solo contienen código.
* (a) En la sección 4 de análisis de resultados, se redactó de forma concreta los casos que fueron validados a través de simulación, utilizando en la nomenclatura del codificador RS(n,k,r) para indicar el parámetro de los símbolos de redundancia asociados al número de etapas del LFSR utilizadas. (b) Se realizó la edición de las figuras con el propósito de que tengan mejor calidad y sean más claras. (c) Se eliminaron las tablas con códigos.
* Se sugiere mejorar la cantidad y calidad de algunas referencias, en general son adecuadas pero se pueden mejorar, incluyendo referencias actuales sobre el uso de FPGA en este tipo de aplicaciones.
* Fueron incorporadas una serie de referencias que presentan diseños de codificadores Reed Solomon usando FPGA en la sección de resultados, luego de la tabla se enuncia que los reportes obtenidos presentan un consumo de recursos menor que los presentados por trabajos en el área, para contrastar la estimación de consumo del diseño desarrollado con los trabajos actuales, tal es el caso de:
1. Codificadores RS con FPGA (Jinzhou, Xianfeng, Zhugang, & Weiming, 2012)
2. Versión Codificador RS 8.0 (Xilinx, 2012)

ASTARLOA, A., *Reconfiguración dinámica de sistemas modulares multi-procesador en dispositivos SoPC*, 2005, Universidad del PaísVasco.

ATIENO, L., ALLEN, J., GOECKEL, D., & TESSIER, R., An adaptive Reed-Solomon errors-and-erasures decoder. *Proceedings ACM/SIGDA 14th international symposium on Field programmable gate arrays* (pp. 150–158), 2006, ACM. Retrieved from http://dl.acm.org/citation.cfm?id=1117224

Cenditel. (2012). Proyecto Hardware Libre.

Jinzhou, Z., Xianfeng, L., Zhugang, W., & Weiming, X. (2012). The Design of a RS Encoder. *Future Computing, Communication, Control and Management*, *144*, 87-91. doi:10.1007/978-3-642-27326-1\_12

Xilinx. (2012). *LogiCORE IP Reed-Solomon Encoder v8.0*. *Notes*.

Se incorporó referencias acerca de la conceptualización de hardware libre (Cenditel, 2012)

\*Se consideró el ajuste de las referencias en las normas ISO 690 tal como se sugirió, completando datos y anexando las direcciones <url>

* Se deben mejorar las gráficas, cambiar las tablas, eliminar el código del artículo. Traducir la tabla 4.
* Se eliminó la tabla 2 y 3 que contenía el código en VHDL del codificador, que corresponde a la versión hardware de la descripción en VHDL de la tabla 3 y se realizó la traducción de la tabla 4.
* Las tablas incluyen código VHDL que no aportan mucho en información y deberían ser reemplazadas por grafos de algoritmos.
* Se ajustaron las tablas de reportes de recursos de hardware para contrastar con los resultados de trabajos previos, para aportar mayor información